山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：RAM 扩展实验 | | | |
| 实验学时：2 | | 实验日期： 2025/5/20 | |
| 实验目的：  本次实验旨在深入了解半导体静态随机读写存储器（RAM）的工作原理与使用方法，同时掌握半导体存储器的字、位扩展技术，通过采用 1K×4 的 LPM\_RAM 结构，构成 2K×4 的存储器，并进行读写操作实验。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  RAM 工作原理 ：半导体静态随机读写存储器（RAM）是一种易失性存储器，在通电状态下可快速读写数据，每个存储单元由触发器构成，能存储一位二进制信息，地址译码电路根据地址信号选中特定存储单元，配合读写控制信号实现数据的存取。  字扩展技术 ：当存储容量不足时，可通过字扩展增加存储单元数量，即将多个 RAM 芯片的地址线、读写控制线和数据线对应连接，片选信号用于选通特定芯片，总地址容量为各芯片容量之和。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  fig:  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  fig:   1. 在Vivado项目中，点击Settings→IP→Repository，将上一步解压后的ip\_repo文件夹的位置添加进IP搜索目录。   fig:   1. 点击Sources窗口中的+，选择 Add or create design sources → Next → Add File, 添加实验源代码文件。   fig:   1. 点击Create Block Design创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.   fig:   1. 根据实验要求配置RAM：   配置如下图所示：      和上个位扩展不同的是，这里采用的是宽度是4bit，有着1024个存储单元，但是这一次有着2个RAM用于实现位扩展，扩展一位地址位，然后实现位扩展为2K×4 的存储器。   1. 在Sources窗口下的Design sources中，根据[实验任务](#X235b964e49820cd75bed49e483d9561e9ff1263)的电路图拖拽相应模块，完成原理图的输入。   虚拟电路图如图所示：  实际电路图如图所示：     1. 右击Sources下顶层设计图标→Create HDL Wrapper，待Wrapper正确生成后，点击左下方Generate Bitstream，开始综合并生成bit文件。注意：综合前wrapper模块应被设置为顶层（加粗表示），若自动设置错误，需右击wrapper图标点击Set as Top手动设置。   fig:  （8）通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击Choose File中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地bit文件烧写至希冀远程FPGA.  高电平时可以看到，发光管分别显示T1、T2、T3、T4的输出电平，将实验过程和实验结果写进实验报告。    在FPGA平台上分析其正确性。  首先:是地址为0000000101，输入数据为data1：0000，data0：0011，这时候应该输出3，如下图所示，没有问题。  下面是地址为0000000101，输入是data1：0000，data0：0101，这时候应该输出5，如下图所示，输出正确。    还有地址为0001010000，输入是data1：0000，data0：0101，这时候应该输出5，如下图所示，输出正确： | | | |
| 结论分析与体会：  从实验结果来看，成功实现了采用 1K×4 的 LPM\_RAM 构成 2K×4 的存储器扩展，并完成了读写操作实验。当输入不同地址和数据时，数码管显示的输出结果与预期一致，例如地址为 0000000101 时，输入 data1：0000，data0：0011，输出为 3；输入 data0：0101 时，输出为 5；以及地址为 0001010000，输入 data0：0101，输出为 5，均验证了读写操作的准确性，表明所设计的存储器扩展电路能够正确工作，实现了预期的功能。  通过本次实验，我对半导体静态随机读写存储器 RAM 的工作原理及使用方法有了更深入的理解，掌握了半导体存储器的字扩展技术，学会了根据实验要求在 Vivado 软件中设计实验线路图并完成实验操作，同时熟悉了 FPGA 云实验平台的使用流程。 | | | |
| 就译码器处理的：  在实验过程中，译码器出现错误，可能是由于在设计电路时，译码器的连接或配置不正确，导致地址信号无法准确地选通对应的存储单元，从而影响了读写操作的正确性。这提示我在今后的实验中，应更加仔细地检查译码器的连接和配置，确保其能够正确地对地址信号进行译码，以实现对存储单元的准确访问。 | | | |